

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-345447
(43) Date of publication of application : 14.12.2001

(51)Int.Cl. H01L 29/786
G02F 1/1368
G09F 9/30
H01L 21/20
H01L 21/22
H01L 21/265
H01L 21/336

(21)Application number : 2000-161721 (71)Applicant : MITSUBISHI ELECTRIC CORP

(71)Applicant : MITSUBISHI ELECTRIC CORP
SEIKO EPSON CORP

(22) Date of filing : 31.05.2000

(72)Inventor : HAYASHI MASAMI
KOBAYASHI MASANAO

(54) THIN-FILM TRANSISTOR, LIQUID CRYSTAL DISPLAY, SEMICONDUCTOR DEVICE, AND THEIR MANUFACTURING METHODS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a TFT, an LCD, a semiconductor device, and their manufacturing methods wherein the TFT contains low-concentration impurities with a high accuracy restrictedly in the shallow surface-layer portion of its channel.

SOLUTION: The manufacturing method of a TFT has a process for forming semiconductor films 3a, 3b on a substrate 1 and has a process for implanting conductive impurities into the semiconductor films, by exposing the substrate to a plasma atmosphere 30 containing the conductive impurities for the semiconductor films in the state wherein at least a channel region of the semiconductor films is exposed to the plasma atmosphere.



LEGAL STATUS

[Date of request for examination] 07.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

DEC-21-2005 WED 17:02

Searching PAJ

FAX NO.

P. 04/16

第 2 頁，共 2 頁

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-345447
(P2001-345447A)

(43) 公開日 平成13年12月14日 (2001.12.14)

(51) Int.Cl.	識別記号	F 1	テーカート (参考)
H 01 L 29/786		G 09 F 9/30	3 9 8 2 H 09 2
G 02 F 1/1368		H 01 L 21/20	5 C 09 4
G 09 F 9/30	3 9 8	21/22	E 5 F 05 2
H 01 L 21/20		29/78	6 1 8 F 5 F 11 0
21/22		G 02 F 1/136	5 0 0

審査請求 未請求 請求項の数16 OL (全12頁) 最終頁に続く

(21) 出願番号 特願2000-161721(P2000-161721)

(71) 出願人 000008013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日 平成12年6月31日 (2000.6.31)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 林 正美

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

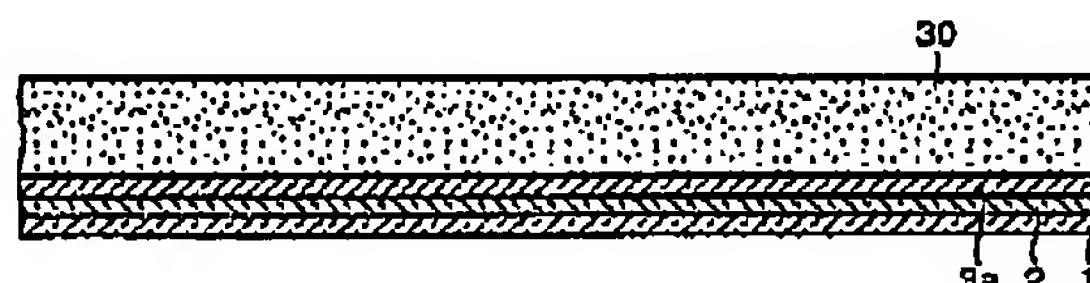
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ、液晶表示装置および半導体装置ならびにそれらの製造方法

(57) 【要約】

【課題】 低濃度の不純物を高精密度でチャネルの浅い表面層部に限定して含むTFT、LCDおよび半導体装置ならびにそれらの製造方法を提供する。

【解決手段】 本TFTの製造方法は、基板1上に半導体膜3a, 3bを形成する工程と、半導体膜の少なくともチャネル領域が露出した状態で、当該半導体膜に対する導電性不純物を含むプラズマ雰囲気30中に基板を暴露して、導電性不純物を半導体膜に注入する工程を備える。



(2)

特開2001-345447

2

【特許請求の範囲】

【請求項1】 基板上に半導体膜を形成する工程と、前記半導体膜形成工程において形成された半導体膜の少なくともチャネル領域が露出した状態で、当該半導体膜に対する導電性不純物を含むプラズマ雰囲気中に前記基板を暴露して、前記導電性不純物を前記半導体膜に導入する工程とを備える、薄膜トランジスタの製造方法。

【請求項2】 前記半導体膜がアモルファスシリコン膜であり、前記導電性不純物を導入する工程の後に、前記アモルファスシリコン膜を結晶化して多結晶体シリコン膜とする工程を備える、請求項1に記載の薄膜トランジスタの製造方法。

【請求項3】 前記半導体膜を形成する工程は、アモルファスシリコン膜を成膜する工程と、そのアモルファスシリコン膜を結晶化して多結晶体シリコン膜とする工程とを備える、請求項1に記載の薄膜トランジスタの製造方法。

【請求項4】 前記基板上に設けられた前記導電性不純物を含むレジストをアッシングして、プラズマ雰囲気前に記導電性不純物を含ませる、請求項1～3のいずれかに記載の薄膜トランジスタの製造方法。

【請求項5】 前記導電性不純物を含む、プラズマ発生装置の内壁に付着している付着物をアッシングして、前記プラズマ雰囲気に前記導電性不純物を含ませる、請求項1～4のいずれかに記載の薄膜トランジスタの製造方法。

【請求項6】 アクティブマトリックス方式の液晶表示装置の製造方法であって、前記請求項1～5のいずれかに記載の薄膜トランジスタの製造方法を用いて、液晶の下方に位置する下部基板上に薄膜トランジスタを形成する、液晶表示装置の製造方法。

【請求項7】 半導体基板の表面の少なくともチャネル領域が露出した状態で、当該半導体に対する導電性不純物を含むプラズマ雰囲気中に前記半導体を暴露して、前記導電性不純物を前記半導体の表面に導入する工程を備える、半導体装置の製造方法。

【請求項8】 前記半導体基板上に設けられた前記導電性不純物を含むレジストをアッシングして、前記プラズマ雰囲気に前記導電性不純物を含ませる、請求項7に記載の半導体装置の製造方法。

【請求項9】 前記導電性不純物を含む、プラズマ発生装置の内壁に付着している付着物をアッシングして、前記プラズマ雰囲気に前記導電性不純物を含ませる、請求項7または8に記載の半導体装置の製造方法。

【請求項10】 半導体膜のチャネルパターンを備え、ゲート電極の下のゲート絶縁膜における導電性不純物の濃度が、 $1.0^{16}/\text{cm}^3$ 以下である、薄膜トランジスタ。

【請求項11】 さらに、前記半導体膜のチャネル領域の表面から深さ30nmの位置における導電性不純物の濃度が、 $5 \times 10^{15}/\text{cm}^3$ 以下である、請求項10に記

10

載の薄膜トランジスタ。

【請求項12】 アクティブマトリックス方式の液晶表示装置であって、

前記液晶表示装置に備えられる薄膜トランジスタのゲート電極の下のゲート絶縁膜における導電性不純物の濃度が、 $1.0^{16}/\text{cm}^3$ 以下である、液晶表示装置。

【請求項13】 さらに、前記液晶表示装置の下部基板の画素領域に備えられる容量部の容積誘電体膜における導電性不純物の濃度が、 $1.0^{16}/\text{cm}^3$ 以下である、請求項12に記載の液晶表示装置。

【請求項14】 さらに、前記ゲート電極下方のチャネル領域の表面から深さ30nmの位置における導電性不純物の濃度が、 $5 \times 10^{15}/\text{cm}^3$ 以下である、請求項12または13に記載の液晶表示装置。

【請求項15】 半導体基板の表面に形成されたトランジスタのゲート電極の下に位置するゲート絶縁膜における導電性不純物の濃度が、 $1.0^{16}/\text{cm}^3$ 以下である、半導体装置。

20

【請求項16】 さらに、前記ゲート絶縁膜の下に位置するチャネル領域の表面から深さ30nmの位置における導電性不純物の濃度が、 $5 \times 10^{15}/\text{cm}^3$ 以下である、請求項15に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ(TFT:Thin Film Transistor)、液晶表示装置(LCD:Liquid Crystal Display)および半導体装置ならびにこれらの製造方法に関し、より特定的には、ゲート絶縁膜を形成する前に所定の領域にプラズマ雰囲気から導電性不純物をドーピングすることにより、半導体膜やゲート絶縁膜に損傷を与えることなく高精度の低濃度ドーピングを行って形成されたTFT、LCDおよび半導体装置、ならびにそれらの製造方法に関するものである。

【0002】

【従来の技術】 従来のLCDの製造方法について、図27～図30を用いて説明する。図27に示すように、ガラス基板101の上に下地膜であるSiO₂102の成膜を行った後、下地膜102の上にアモルファスシリコン膜を積層する。このアモルファスシリコン膜に対してレーザアニール等の処理を行い、アモルファスシリコン膜を多結晶体シリコン膜とする。この後、写真型版によりレジストに対してチャネルパターンの形成を行い、このレジストをマスクにドライエッチによりパターニングして、チャネル形状多結晶体シリコン膜103bを形成し、レジストを除去する(図27)。次に、図28に示すように、ゲート絶縁膜104を成膜する。次いで、図29に示すように、しきい値電圧Vthの制御を行うためにチャネル領域に導電性不純物をドープしたチャネルパターン103cを形成する。このとき、ゲート絶縁膜の下に位置するチャネル領域にゲート絶縁膜を介して導電

30

40

50

(3)

特開2001-345447

3

性不純物をドープするためにイオンを加速して打ち込むので、後で説明するようないくつかの問題を生じる。

【0003】上記のチャネル領域へのドーピングに引き続いて、図30に示すように、TFTのすべての領域をレジストマスク121で覆い、容量部の下部電極となる多結晶体シリコンバターンに高濃度の導電性不純物を打ち込み、容量の下部電極103dを形成する。

【0004】この後の製造方法は、通常のLCDの製造方法に準じて行う。上記ゲート絶縁膜の上にゲート電極配線および容量部の上部電極配線をパターニングする。次いで、駆動回路部のp型TFTをカバーし、他の全てのn型TFTのLDD領域をカバーするレジストバターンし、p（P）イオンをイオン注入により高濃度に注入し、n型TFTのソース、ドレイン領域および容量下部電極の端子部にn+不純物領域を形成する。次いで、レジスト121を除いて、LDD（Lightly Doped Drain）領域に電界緩和の低濃度不純物領域であるn-不純物領域を形成する。次いで、n型TFTと容量部とを被るレジストバターンを形成し、p型不純物イオンであるボロン（B）イオンを同じ領域に高濃度に導入することにより、p型TFTのソース、ドレイン領域を形成する。

【0005】不純物の注入は、この段階で終了する。次いで、層間絶縁膜を成膜し、ソース、ドレイン領域とソース、ドレイン電極配線とを接続するためのコンタクトホールをドライエッチングにより開口する。このコンタクトホール内と層間絶縁膜の上に導電層を形成し、パターニングして、ソース、ドレイン電極配線を形成する。次いで、平坦化処理を行って、移動度の向上などのチャネル領域の電気特性の向上をはかる。次いで、平坦化膜を塗布した後、画素コンタクトホールを開口する。次に、透明電極膜を成膜しパターニングして、画素電極をパターニングする。上記により、駆動回路領域および画素領域のTFTを含む下部電極が形成され、上部透明電極との間に液晶を保持して、LCDが構成される。

【0006】

【発明が解決しようとする課題】上記の製造方法において、チャネルドープの工程では、ゲート絶縁膜を通して不純物を注入する。したがって、不純物であるイオンには所定値以上の加速電圧を加えて、注入を行うことになる。このため、次に示すような問題を生じる。

(a) チャネル領域の上の部分において、ゲート絶縁膜がダメージを受け、また導電性不純物が部分的に含まれるようになる。図31は、固体中に打ち込まれた粒子の飛程深さ分布を示す図である。ゲート絶縁膜を有した状態で、チャネル領域に不純物を打ち込む場合、チャネル領域の濃度が $10^{17}/cm^3$ 程度になるように、50keV程度の加速電圧で不純物イオンを打ち込む。このとき、ゲート絶縁膜の厚さは50nm程度なので、ゲート絶縁膜に $5 \times 10^{10} \sim 5 \times 10^{17}$ 程度の不純物が含有されることになる。この不純物は、ゲート絶縁膜の耐圧

4

性、およびLCDに用いられた場合の画素容量部の容量誘電体の耐圧性等を損なう。

(b) イオンの打ち込みによりチャネル領域自体も結晶性が劣化する。

(c) 低濃度の導電性不純物打ち込みに特有の濃度ばらつきを生じる。

【0007】この結果、TFTやLCDの信頼性が低下したり、これらTFTやLCDにおける電荷担体の移動度の低下が生じる。また、低濃度における制御が十分に行われないために、導電性不純物の濃度がばらつき、この結果、しきい値電圧 V_{th} の精密な制御ができなくなるという問題がある。

【0008】そこで、本発明は、ゲート絶縁膜やチャネル領域の結晶性を損傷することなく、低濃度のチャネルドープを高精度で行うことができる、TFT、LCDおよび半導体装置ならびにそれらの製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の第1の局面のTFTの製造方法は、基板上に半導体膜を形成する工程と、半導体膜形成工程において形成された半導体膜の少なくともチャネル領域が露出した状態で、当該半導体膜に対する導電性不純物を含むプラズマ雰囲気中に基板を暴露して、導電性不純物を半導体膜に導入する工程を備える（請求項1）。

【0010】プラズマ雰囲気中の不純物イオンは特定の方向に大きな運動量を持たないものの、各不純物イオンはそれぞれ温度に応じた運動量を有する。このため、半導体膜の結晶性が損傷されることなくドーピングされる。従来は、不純物イオンが加速されゲート絶縁膜を通じてチャネル領域に導入されていたが、本発明では、直接、不純物イオンがチャネル表面から表層部に限定して導入されることになる。この結果、ゲート絶縁膜の結晶性を阻害したり、ゲート絶縁膜中に不純物を含有したりすることがなくなり、ゲート絶縁膜の耐圧向上など信頼性が向上する。このTFTが例えば、LCDに用いられる場合、このゲート絶縁膜は、画素領域の容量部において、誘電質として用いられるので、耐圧性の向上は非常に重要である。また、上記のプラズマ雰囲気の各不純物イオンの運動量は、イオン注入装置で加速されるイオンの運動量に比べると小さいので、TFTにおけるチャネル領域の損傷が防止される。この結果、電荷担体の移動度の低下が防止され、本来の移動度を確保することが可能となる。また、上記のプラズマ雰囲気暴露によるドーピングは、表層部に限定して低濃度のドーピングを高精度で行うことができるので、しきい値電圧 V_{th} を高精度で制御することが可能となる。

【0011】なお、上記の半導体膜は、アモルファスシリコン膜でもよいし、レーザアニール等により結晶化した多結晶体シリコン膜であってもよい。また、成膜され

10

20

30

40

50

(4)

特開2001-345447

6

5

た膜でもよいし、その膜がバターニングされたバターニング膜であってもよい。また、プラズマ雰囲気は、基板がプラズマCVD装置のようなプラズマ発生装置内に裝入されて、発生されたものが好ましいが、そうでなくてもよい。また、プラズマ雰囲気に含まれる導電性不純物源は、その導電性不純物の原料ガスが供給されたものでもよいし、そうでない導電性不純物源でもよい。プラズマ雰囲気の主体は外部からの酸素ガス等、原料ガスを用い、プラズマ雰囲気源とするのが望ましい。また、半導体膜は基板の上に直接成膜されていてもよいし、下地膜やその他の膜を介して成膜してもよい。

【0012】上記の第1の局面のTFTの製造方法では、上記の半導体膜がアモルファスシリコン膜であり、導電性不純物を導入する工程の後に、アモルファスシリコン膜を結晶化して多結晶体シリコン膜とする工程を備えている（請求項2）。

【0013】プラズマ雰囲気から不純物を導入すると、不純物は表面から浅い所定深さ内に限定される。しかし、アモルファスシリコン膜の段階で不純物を導入し、結晶化のために、例えばレーザアニール等によりアモルファスシリコンを部分的に溶融すると不純物はより深い位置まで分布し、かつより低濃度になる。したがって、レーザアニールを行った場合には、より深い位置まで、低濃度のドーピングを精度良く行うことができる。ただし、ランプアニールによる多結晶体化の場合には、プラズマ雰囲気からの不純物導入の効果が維持され、従来のイオン粒子の打ち込みによる不純物注入よりも浅い表層部に限定される。また、レーザアニールによる多結晶体化処理の場合でも、レーザアニールのレーザ照射条件によっては、シリコン膜の表層部により高濃度の不純物が分布する効果は維持される。

【0014】上記の第1の局面のTFTの製造方法では、半導体膜を形成する工程は、アモルファスシリコン膜を成膜する工程と、そのアモルファスシリコン膜を結晶化して多結晶体シリコン膜とする工程とを備えている（請求項3）。

【0015】この構成により、多結晶体シリコンの表層部に限定して低濃度の不純物を高精度でドーピングすることが可能となる。

【0016】上記第1の局面のTFTの製造方法では、基板上に設けられた導電性不純物を含むレジストをアッショングして、プラズマ雰囲気に導電性不純物を含ませる（請求項4）。

【0017】通常、レジストをマスクに半導体膜に導電性不純物を注入する場合が多い。例えば、バターニングされた多結晶体シリコン膜のうち、容量部の下部電極に導電性不純物を注入する場合がある。この時点では、トランジスタを形成する各多結晶体シリコン膜には、導電性不純物は含まれていない。まず、容量部の下部電極に相当する個所を開口したレジストパターンを形成して、

10

20

30

30

40

50

導電性不純物を打ち込む。この導電性不純物は、当然、レジストパターンの中にも打ち込まれ、レジスト中に含有されることになる。この後、レジストパターンを付けた状態で、基板をプラズマ発生装置、例えば、プラズマCVD装置に装入してレジストをアッショングして、プラズマ雰囲気内にその成分を含ませる。このプラズマ雰囲気には、当然、上記導電性不純物イオンが含まれることになる。レジストに覆われていた多結晶体シリコンは、上記のプラズマ雰囲気に暴露され、導電性不純物がその表面層に導入されることになる。この導電性不純物の導入工程は、レジスト除去と並行して進行するので、上記の特性向上が得られるだけでなく、工程省略により製造コストの低減や納期短縮を得ることができる。

【0018】上記第1の局面のTFTの製造方法では、導電性不純物を含む、プラズマ発生装置の内壁に付着している付着物をアッショングして、プラズマ雰囲気に導電性不純物を含ませる（請求項5）。

【0019】プラズマCVD装置等では、導電性不純物がアッショングされ plasma 状態になった後、パワーオフの際に内壁に付着物として付着することが多い。この付着物は、プラズマ雰囲気中の導電性不純物の適当な発生源として用いることができる。

【0020】本発明の第1の局面のLCDの製造方法は、アクティブマトリックス方式の液晶表示装置の製造方法であって、上記第1の局面のTFTのいずれかに記載のTFTの製造方法を用いて、液晶の下方に位置する下部基板上にTFTを形成する（請求項6）。

【0021】この構成により、耐圧性に問題のないゲート絶縁膜および容量誘電体膜、電荷媒体の移動度の低下のないチャネル領域を有するLCDを得ることができる。また、このLCDはしきい値電圧Vthの制御を高精度で行うことができ、高品位の表示を耐久性をもって得ることが可能となる。

【0022】本発明の第1の局面の半導体装置の製造方法は、半導体基板の表面の少なくともチャネル領域が露出した状態で、当該半導体に対する導電性不純物を含むプラズマ雰囲気中に半導体を暴露して、導電性不純物を半導体の表面に導入する工程を備える（請求項7）。

【0023】半導体基板への低濃度のドーピングは、チヨクラルスキー法等の溶融状態から半導体結晶を引き上げる際、溶融相に導電性不純物を混入させることにより精度良く行うことができる。しかし、この導電性不純物は半導体基板全体にわたって分布する。例えば、チャネル領域の表層部の浅い領域に限定して低濃度のドーピングを高精度で行う場合には、上記本発明の方法を用いる。

【0024】プラズマ雰囲気中の各不純物イオンはそれぞれ温度に応じた、ランダムな方向の運動量を有するので、半導体膜の結晶性が損傷されることなくドーピングされる。このため、従来は、不純物イオンが加速されゲ

(5)

特開2001-345447

8

7
 ート絶縁膜を通ってチャネル領域に導入されていたが、本発明では、直接、不純物イオンがチャネル表面から導入されることになる。この結果、ゲート絶縁膜の結晶性を粗害したり、ゲート絶縁膜中に不純物を含有したりすることができなくなり、ゲート絶縁膜の耐圧向上など信頼性が向上する。また、上記のプラズマ雰囲気の各不純物イオンの運動量は、イオン注入装置で加速度されるイオンの運動量に比べると小さいので、半導体装置におけるチャネル領域の損傷が防止される。この結果、電荷担体の移動度の低下が防止され、本来の移動度を確保することが可能となる。また、上記のプラズマ雰囲気暴露によるドーピングは、表面の浅い領域に限定して、低濃度であつても高精度で行うことができる所以、しきい値電圧 V_{th} を高精度で制御することが可能となる。

【0025】本発明の第1の局面の半導体装置の製造方法では、半導体基板上に設けられた導電性不純物を含むレジストをアッシングして、プラズマ雰囲気にその導電性不純物を含ませる(請求項8)。

【0026】例えば、半導体装置に容量部を形成する場合がある。この場合、容量部の下部電極に、まず、導電性不純物を注入するために、上記下部電極に相当した部分が開口したレジストパターンを用いる。この時点では、トランジスタを形成する半導体基板表面には、導電性不純物は含まれていない。まず、上記のレジストパターンを形成して、導電性不純物を打ち込む。この導電性不純物は、当然、レジストパターンの中にも打ち込まれ、レジスト中に含有されることになる。この後、レジストパターンを付けた状態で、半導体表面をプラズマ発生装置、例えば、プラズマCVD装置に装入してレジストをアッシングして、プラズマ雰囲気に含ませる。このプラズマ雰囲気には、当然、上記導電性不純物イオンが含まれている。レジストに覆われていた半導体表面は、上記のプラズマ雰囲気に暴露され、導電性不純物がその表面層に導入されることになる。この導電性不純物の導入工程は、レジスト除去と並行して進行するので、上記の特性向上が得られるだけでなく、工程省略により製造コストの低減や納期短縮を得ることができる。

【0027】本発明の第1の局面の半導体装置の製造方法では、導電性不純物を含む、プラズマ発生装置の内壁に付着している付着物をアッシングして、プラズマ雰囲気に導電性不純物を含ませる(請求項9)。

【0028】プラズマCVD装置等では、導電性不純物がアッシングされプラズマ状態になった後、パワーオフの際に内壁に付着物として付着することが多い。この付着物は、導電性不純物の適当な発生源として用いることができる。

【0029】本発明の第1の局面のTFTは、半導体膜のチャネルパターンを備え、ゲート電極の下のゲート絶縁膜の導電性不純物の濃度が、 $10^{16}/\text{cm}^3$ 以下である(請求項10)。

10

【0030】上記部分のゲート絶縁膜の導電性不純物の濃度を、 $10^{16}/\text{cm}^3$ 以下とすることにより、ゲート絶縁膜の耐圧性等を向上させ、高信頼性のTFTとすることができる。なお、上記の不純物濃度は $5 \times 10^{15}/\text{cm}^3$ 以下とすることもでき、ゲート絶縁膜の耐圧性を向上させるには、 $5 \times 10^{15}/\text{cm}^3$ 以下とするほうが望ましい。本発明の上記製造方法により、不純物濃度は、 $5 \times 10^{15}/\text{cm}^3$ 以下とすることは、十分可能である。

【0031】上記第1の局面のTFTでは、さらに、半導体膜のチャネル領域の表面から深さ30nmの位置における導電性不純物の濃度が、 $5 \times 10^{15}/\text{cm}^3$ 以下である(請求項11)。

【0032】プラズマ雰囲気から導入される不純物は、ランプアニールによって多結晶化した場合、または所定照射条件の範囲内のレーザアニールの場合、プラズマ雰囲気からの不純物導入の効果が維持され、チャネル領域の表面部に限定される。このため、ゲート電圧による制御がよくきくので、信頼性の高いトランジスタ動作が可能となる。

【0033】本発明の第1の局面のLCDは、アクティブラズマトリックス方式のLCDであって、LCDに備えられるTFTのゲート電極の下のゲート絶縁膜における導電性不純物の濃度が、 $10^{16}/\text{cm}^3$ 以下である(請求項12)。

【0034】この構成により、本発明のLCDは高い表示品位を高い耐久性をもって確保することが可能となる。不純物濃度は、ゲート絶縁膜の耐圧性を向上させるには、 $5 \times 10^{15}/\text{cm}^3$ 以下とするほうが望ましい。本発明の上記製造方法により、不純物濃度は、 $5 \times 10^{15}/\text{cm}^3$ 以下とすることは、十分可能である。

【0035】上記第1の局面のLCDでは、さらに、LCDの下部基板の画素領域に備えられる容量部の容量誘電体膜における導電性不純物の濃度が、 $10^{16}/\text{cm}^3$ 以下である(請求項13)。

【0036】上記構成により、画素領域の容量における誘電体膜の耐圧性が向上し、本LCDは、高い耐久性で高品位の表示を維持することが可能となる。上記の不純物濃度は、ゲート絶縁膜の耐圧性を向上させるには、 $5 \times 10^{15}/\text{cm}^3$ 以下とするほうが望ましく、上記製造方法による余裕をもって達成することができる。

【0037】上記第1の局面のLCDでは、さらに、ゲート電極下方のチャネル領域の表面から深さ30nmの位置における導電性不純物の濃度が、 $5 \times 10^{15}/\text{cm}^3$ 以下である(請求項14)。

【0038】ランプアニールによって多結晶化した場合、または所定条件範囲内のレーザアニールの場合、上記の構成が実現される。この構成により、ゲートによるしきい値電圧 V_{th} の制御性が向上し、チャネル制御がしやすくなり、信頼性の高い高速表示を行うことが可能となる。

50

(6)

特開2001-345447

9

【0039】本発明の第1の局面の半導体装置は、半導体基板の表面に形成されたトランジスタのゲート電極の下のゲート絶縁膜の導電性不純物の濃度が、 $10^{18}/\text{cm}^3$ 以下である（請求項15）。

【0040】上記構造により、この半導体装置におけるゲート絶縁膜の耐圧性等を向上させ、高信頼性のTFTとすることができる。

【0041】上記第1の局面の半導体装置では、さらに、ゲート電極下方のチャネル領域の表面から深さ30nmの位置における導電性不純物の濃度が、 $5 \times 10^{18}/\text{cm}^3$ 以下である（請求項16）。

【0042】ランプアニールによって多結晶化した場合、または所定条件範囲内のレーザアニールの場合に、上記の構成を実現することができる。この構成により、チャネル領域の深い位置にまで導電性不純物が分布しないので、半導体装置におけるゲートによるしきい値電圧Vthの制御性を向上させ、チャネルの制御をしやすくなることができる。

【0043】

【発明の実施の形態】次に、図面を用いて本発明の実施の形態について説明する。

【0044】（実施の形態1）本実施の形態では、アモルファスシリコン膜の段階で、その表面をプラズマ雰囲気中に暴露して、導電性不純物を導入する。まず、ガラス基板1の上に、例えばSiNとSiO₂との2層膜からなる下地膜2を形成した後、図1に示すように、減圧CVDにてアモルファスシリコン膜3aを成膜する。次に、図2に示すように、例えば、プラズマ発生装置によって形成されたn型の導電性不純物のプラズマ中に、上記のアモルファスシリコン膜を暴露する。このn型導電性不純物は、外部からガスとして上記プラズマ発生装置に導入することができる。また、この導電性不純物は、プラズマ発生装置の内壁に付着した導電性不純物を含む付着物を用いてもよい。前工程でレジストを用いる工程があれば、そのレジストをアッシングしてプラズマ状態にしてもよい。不純物打ち込みにおけるマスクとして用いられたレジストには、その不純物が含まれているからである。本実施の形態では、アモルファスシリコンの段階で不純物を導入し、その後レーザアニールにより溶融されながら、または一部溶融されながら、結晶化される。このため、不純物の分布をより深い範囲に分布させ、かつより低濃度に高精度で制御することが可能となる。

【0045】この後、図3に示すように、エキシマレーザを用いたレーザアニールにてアモルファスシリコン3aを多結晶シリコン3cに結晶化する。この後、図4に示すように、多結晶シリコン3cをバーニングする。図4において、51aは、駆動回路領域のn型TFTが形成される部分であり、51bはp型TFTが形成される部分である。また、52は画素領域において容量

10

形成部であり、53は2個のn型TFTが形成される部分である。次いで、図5に示すように、その上にゲート絶縁膜4を成膜する。次に、図6に示すように、容量部の下部電極3d以外のTFTの領域を覆うレジストパターン21を形成し、多結晶シリコンパターン部分に不純物イオンを高濃度にドープして、容量部の下部電極3dを形成する。この図6の時点で、画素領域の2つのn型TFTおよび駆動回路領域のn型およびp型TFTを構成する多結晶シリコン膜には、上記のプラズマ雰囲気暴露によって導入された導電性不純物が含まれている。次に、上記レジストパターン21を除去して、導電性膜を成膜し、次いで、図7に示すように、ゲート電極配線5および容量部の上部電極配線6にバーニングする。次いで、駆動回路部のp型TFTをカバーし、他の全てのn型TFTのLDD領域をカバーするレジストパターン22を形成する。次に、図8に示すように、隣(P)イオンをイオン注入により高濃度に注入し、n型TFTのソース、ドレイン領域および容量下部電極の端子部にn+型不純物領域3eを形成する。次いで、図9に示すように、レジスト22を除いて、LDD(Lightly Doped Drain)領域に電界緩和の低濃度不純物領域であるn-不純物領域3mを形成する。p型TFTのソース、ドレイン領域にもn-不純物領域3mが形成される。p型TFTでは、しかし、図10に示すように、n型TFTと容量部とを覆うレジストパターン23を形成し、p型不純物イオンであるボロン(B)イオンと同じ領域に高濃度に導入する。この結果、n型不純物を相殺する以上のp型不純物領域3nが形成され、p型TFTのソース、ドレイン領域が形成される。

【0046】不純物の注入は、上記図10までの段階で終了する。次いで、レジストパターン23を除去した後、図11に示すように、層間絶縁膜7を成膜し、ソース、ドレイン領域とソース、ドレイン電極配線8、9と接続するためのコンタクトホール18をドライエッチングにより開口する（図12）。このコンタクトホール内と層間絶縁膜7の上に導電層を形成し、バーニングして、ソース、ドレイン電極8、9を形成する（図13）。次いで、図14に示すように、水素化処理を行って、移動度の向上などのチャネル領域の電気特性の向上をはかる。次いで、図15に示すように、平坦化膜10を塗布した後、画素コンタクトホール19を開口する。次に、透明電極膜を成膜しバーニングして、図16に示す画素電極をバーニングする。

【0047】上記の製造方法によれば、ゲート電極配線の下のゲート絶縁膜およびチャネル領域は、図2に示す導電性不純物のプラズマ暴露の工程以外の工程において、ゲート電極のない状態で、上方からイオン照射されることはない。このため、チャネル領域やその直上のゲート絶縁膜が損傷を受けることはない。また、上記の表面部に限定したチャネル領域への低濃度の不純物導入を

(7)

特開2001-345447

11

高精度で行うことができる。このため、 V_{th} の高精度の調整を可能にし、移動度の低下防止などを行い、高信頼性の液晶表示装置を提供することが可能となる。

【0048】上記の製造方法で製造されたLCDのTFTにおけるゲート電極下方のゲート絶縁膜中の不純物濃度および容量部の誘電体膜の不純物濃度は、 $10^{16}/cm^3$ 以下である。このため、これらの絶縁膜の耐圧性を向上させることが可能となる。さらに、チャネル領域においては、表面深さ 1.5 nm 以内にドーピングを限定することができる。このため、表面から 30 nm 深さ位置での不純物濃度は、 $5 \times 10^{15}/cm^3$ 以下となり、ゲートのチャネル支配を強化することが可能となる。

【0049】(実施の形態2) 本実施の形態では、まず、ガラス基板1上に下地膜2を成膜し、次いで、図17に示すように、アモルファスシリコン膜3aを成膜する。次に、図18に示すように、レーザアニールにより上記アモルファスシリコン膜を多結晶体シリコン膜3bにする。この多結晶体シリコンの状態で、図19に示すように、導電性不純物のプラズマに曝露して、低濃度の導電性不純物領域3cを形成する。この不純物はチャネル領域の表面部に限定されるので、ゲートによるしきい電圧 V_{th} の制御性を向上させることができるとなる。

【0050】この後の製造方法は、実施の形態1における図4以降の工程をたどることになる。したがって、ゲート電極配線の下のゲート絶縁膜およびチャネル領域は、図2に示す導電性不純物のプラズマ曝露の工程以外の工程において、ゲート電極のない状態で、上方からイオン照射されることはない。このため、ゲート絶縁膜やチャネル領域の結晶性に損傷を受けることがなく、また、ゲート絶縁膜や容量絶縁膜に不純物が含まれることもない。この結果、高信頼性のLCDを提供することができる。

【0051】(実施の形態3) 本実施の形態では、下地膜2の上にアモルファスシリコン膜を成膜後、レーザアニール等により、結晶化して多結晶体シリコン膜とする。次いで、図20に示すように、多結晶体シリコン膜をバターニングして島状のトランジスタパターンを形成する。このトランジスタパターンに不純物を導入するために、n型導電性不純物が導入されているプラズマ発生装置を用いて、上記多結晶体シリコンパターンをn型導電性不純物のプラズマ雰囲気に曝露する(図21)。この曝露により、n型不純物が高精度で多結晶体シリコンの表面層に限定して導入される。この結果、耐圧性に優れたゲート絶縁膜、容量絶縁膜を得ることができ、また、移動度の高いTFTを得ることができる。さらに、浅い表面層に限定して高精度で低濃度の不純物層が形成されるので、しきい電圧 V_{th} の制御性を増すことができる。

【0052】(実施の形態4) 図22～図24を用いて、実施の形態4の製造方法について説明する。下地膜

10

12

2の上に形成したアモルファスシリコン膜をレーザアニール等して多結晶体シリコン膜とした後、バターニングして、図22に示すように、島状のパターン3bを形成する。次いで、容量部以外のTFTの領域を覆うレジストパターン24を形成し、その後、例えば、容量部の下部電極の部分にn型不純物を導入する(図23)。次に、レジストを除去する処理として酸素プラズマを用いてレジストを除去する。このときのアッシング条件は次の通りである。

- (a) 圧力: 27Pa
- (b) O₂流量: 300 sccm (standard cubic cm/min)
- (c) RFパワー: 1 kW
- (d) 時間: 250秒
- (e) モード: RIE (Reactive Ion Etching)

このとき、図24に示すように、n型不純物導入の際にレジスト中にも入り込んだ燐(P)が、プラズマ雰囲気に供給され、多結晶体シリコンに燐が導入される。

20

【0053】上記の構成によれば、レジストの除去工程と不純物導入工程とを1つの工程で行うことができる。この結果、製造コストの低減や納期短縮を図ることが可能となる。

30

【0054】(実施の形態5) 図25および図26を用いて、実施の形態5について説明する。図25に示すように、アッシング装置により燐を含んだレジスト25を酸素プラズマ中に処理することによって、プラズマ処理室の側壁に燐を含んだ化合物の薄膜32を形成する。この処理室に、バターニングの終了したシリコン基板を搬入し、酸素プラズマ中に曝露して不純物を導入する。

【0055】上記の構成により、特別に不純物ガス導入の設備を設けなくても、簡便に導電性不純物を含んだプラズマ雰囲気を形成することができる。

【0056】上記において、本発明の実施の形態について説明を行なったが、上記に開示された本発明の実施の形態は、あくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含む。

【0057】

【発明の効果】本発明によれば、イオンドーピング装置等を用いることなく、プラズマ雰囲気に曝露することにより、導電性不純物をチャネル領域にドーピングすることができる。このため、高精度で低濃度のドーピングができるので、しきい電圧 V_{th} の制御を高精度で行うことが可能となる。また、チャネル領域が高速イオンに照射されないので、高い移動度を確保することができる。さらに、ゲート絶縁膜を通して不純物のイオン注入を行わないもので、導電性不純物がゲート絶縁膜に含有されず、また結晶性も害されないので、耐圧性等信頼度の高

50

(8)

特開2001-345447

13

いLCD、半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1において、下地膜の上にアモルファスシリコン膜を成膜した段階の断面図である。

【図2】 図1の状態の基板をプラズマ雰囲気に暴露して不純物を導入している状態を示す断面図である。

【図3】 図2の状態のアモルファスシリコン膜をレーザアニールして多結晶体シリコン膜とした段階の断面図である。

【図4】 図3の状態の多結晶体シリコン膜をチャネル形状にバターニングした段階の断面図である。

【図5】 図4の状態の上にゲート絶縁膜を成膜した段階の断面図である。

【図6】 図5の状態に対して、TFTの領域をレジストで覆い、容量下部電極に高濃度不純物を注入して、容量下部電極を形成した段階の断面図である。

【図7】 図6の状態からレジストを除去し、ゲート絶縁膜の上に、ゲート電極および容量上部電極をバターニングした段階の断面図である。

【図8】 図7の状態に対して、p型TFTの全領域およびn型TFTのLDD部をレジストで覆い、n型不純物を高濃度で打ち込み、ソース、ドレイン領域を形成している段階の断面図である。

【図9】 図8の状態からレジストを除去して、n型不純物を低濃度で打ち込み、LDD領域を形成している段階の断面図である。

【図10】 図9の状態に対して、n型TFTおよび容量部をレジストで覆い、p型TFTのソース、ドレインにp型不純物を高濃度に打ち込んでいる段階の断面図である。

【図11】 図10の状態の上に層間絶縁膜を成膜した段階の断面図である。

【図12】 図11の状態に対して、コンタクトホールを開口した段階の断面図である。

【図13】 図12の状態に対してソース、ドレイン電極膜を成膜して配線にバターニングした段階の断面図である。

【図14】 図13の状態に対して水素雰囲気中で水素化処理を行っている段階の断面図である。

【図15】 図14の状態に平坦化膜を成膜して画素コンタクトホールを開口した段階の断面図である。

【図16】 図15の状態に対して、画素コンタクトホールを埋める透明電極を形成した段階の断面図である。

【図17】 本発明の実施の形態2において、下地膜の上にアモルファスシリコン膜を成膜した段階の断面図である。

【図18】 図17の状態に対して、レーザアニール処理を加え、多結晶体シリコン膜を得た段階の断面図である。

14

【図19】 図18の状態の多結晶体シリコンをプラズマ雰囲気に暴露した段階の断面図である。

【図20】 本発明の実施の形態3において、多結晶体シリコン膜をバターニングした段階の断面図である。

【図21】 図20の状態のものをプラズマ雰囲気中に暴露した段階の断面図である。

【図22】 本発明の実施の形態4において、多結晶体シリコンをバターニングした段階の断面図である。

【図23】 図22の状態に対して、n型およびp型TFTの領域をレジストで覆い、容量下部電極に不純物を高濃度にドープした段階の断面図である。

【図24】 図23の状態からレジストをアッキングし、プラズマ雰囲気として、n型TFTおよびp型TFTのチャネル形状に不純物を導入している段階の断面図である。

【図25】 本発明の実施の形態5において、レジストのアッキング等により、プラズマ発生装置の側壁にプラズマ雰囲気を形成するための付着物を形成している段階の断面図である。

【図26】 図25の状態に対して、パワーを投入して側壁付着物からプラズマ雰囲気を形成して、TFTのチャネル形状に不純物を導入している段階の断面図である。

【図27】 従来のLCDの製造方法において、多結晶体シリコンをバターニングした段階の断面図である。

【図28】 図27の状態に対して、ゲート絶縁膜を成膜した段階の断面図である。

【図29】 図28の状態に対して、イオン注入装置により加速された不純物イオンを打ち込んでいる段階の断面図である。

【図30】 図29の状態のn型TFTおよびp型TFTの上をレジストで覆い、容量下部電極に不純物を高濃度に打ち込んでいる段階の断面図である。

【図31】 固体中に打ち込まれた粒子の存在分布を示す図である。

【符号の説明】

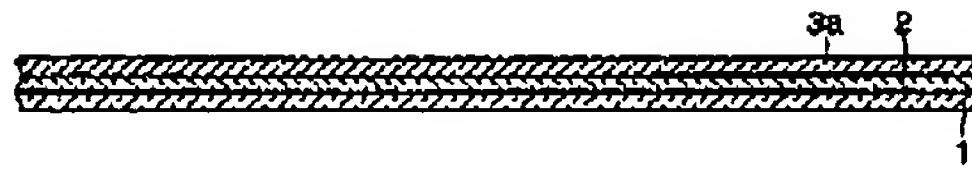
- 1 基板、2 下地膜、3a アモルファスシリコン膜、3b 多結晶体シリコン膜(不純物含有しない)、3c 不純物含有多結晶体シリコン膜、3d 容量下部電極(n+不純物領域)、3e n+不純物領域、3f LDD領域、3g p+不純物領域、4 ゲート絶縁膜(容積誘電体)、5 ゲート電極、6 容量上部電極、7 層間絶縁膜、8 ソース電極配線、9 ドレイン電極配線、11 透明電極、18 コンタクトホール、19 画素コンタクトホール、21, 22, 23, 24 レジスト、30 プラズマ雰囲気、31 水素雰囲気、32 プラズマ発生装置側壁の付着物、51a 駆動回路のn型TFT、51b 駆動回路のp型TFT、52 画素領域の容量部、53 画素領域の2個のTFT形成部。

50

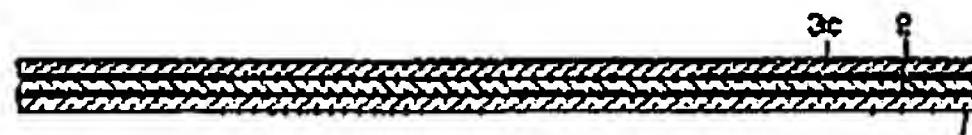
(9)

特開2001-345447

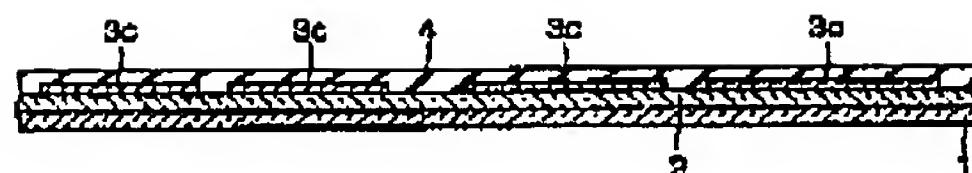
【図1】



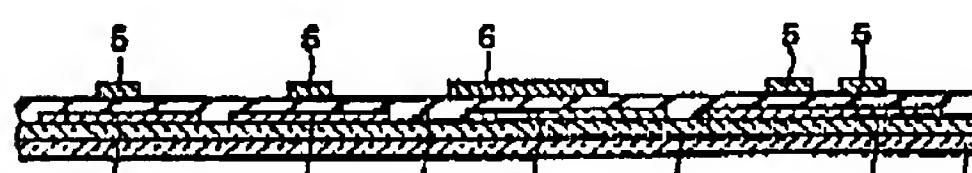
【図3】



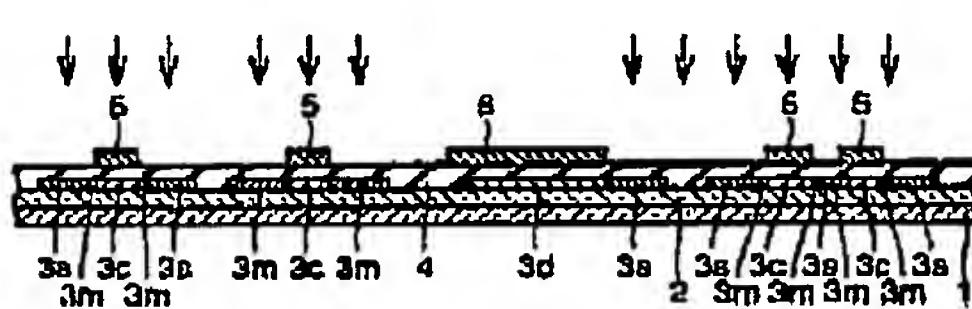
【図5】



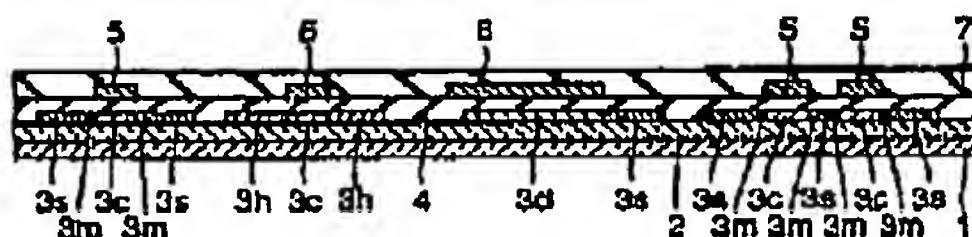
【図7】



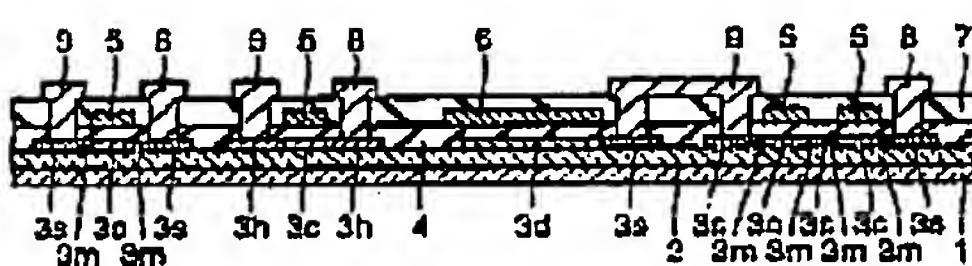
【図9】



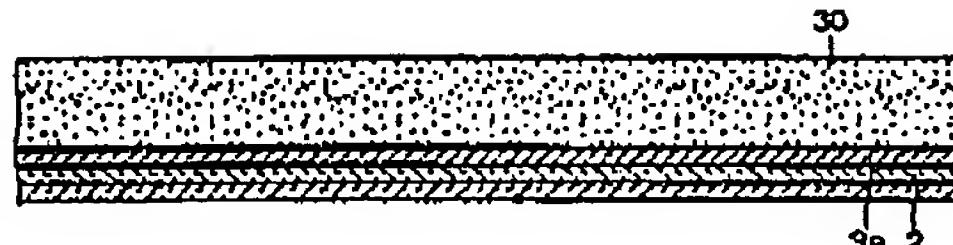
【図11】



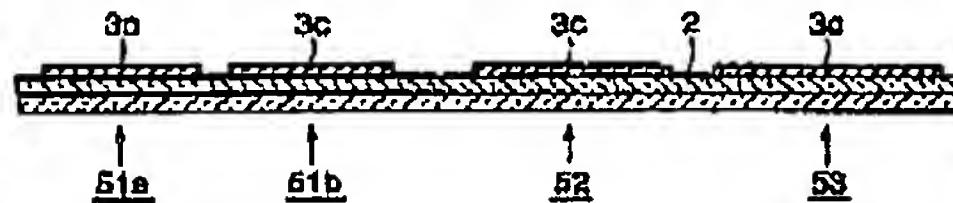
【図13】



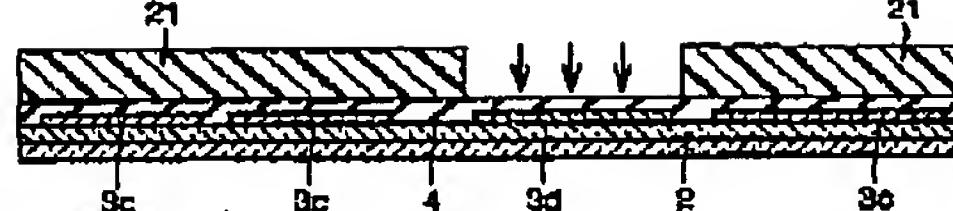
【図2】



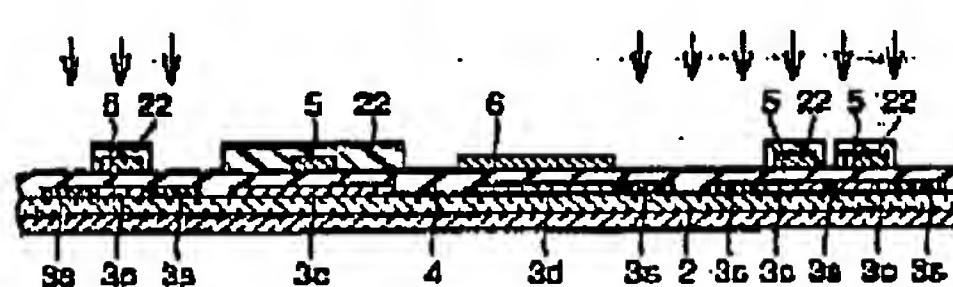
【図4】



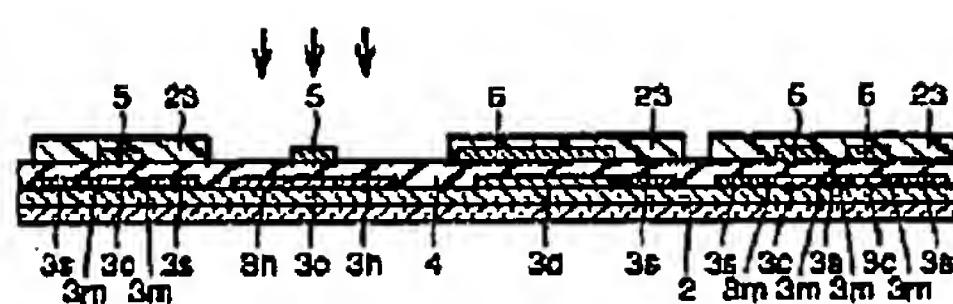
【図6】



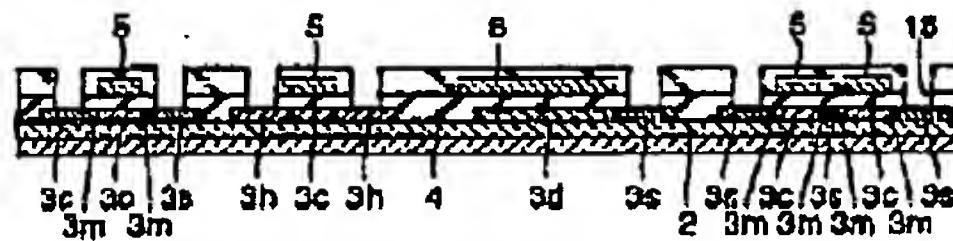
【図8】



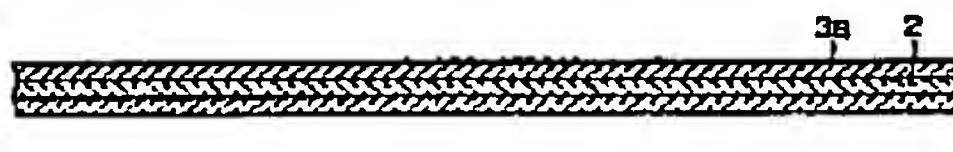
【図10】



【図12】



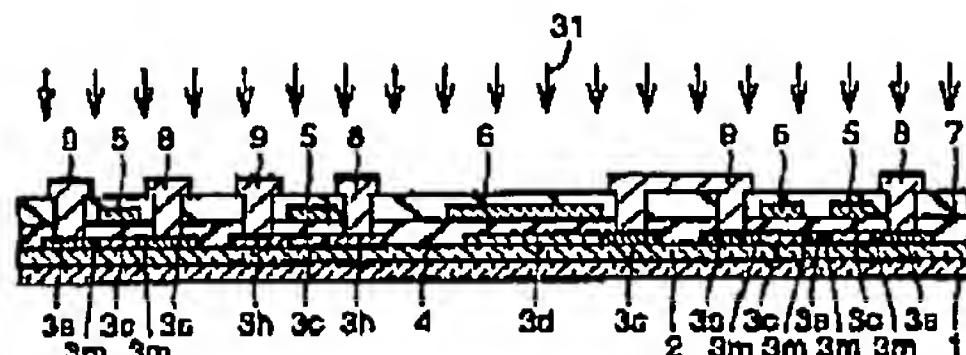
【図17】



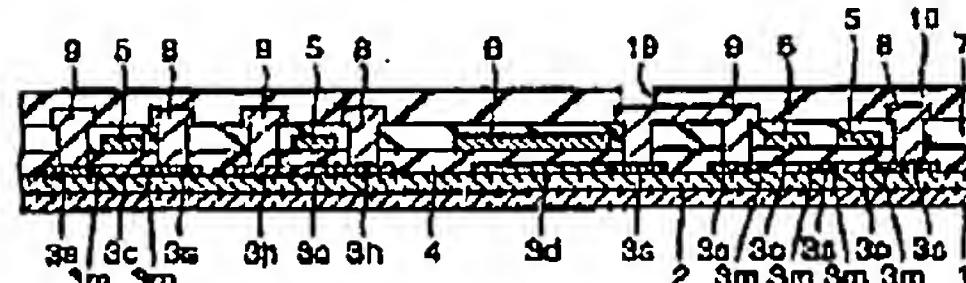
(10)

特開2001-345447

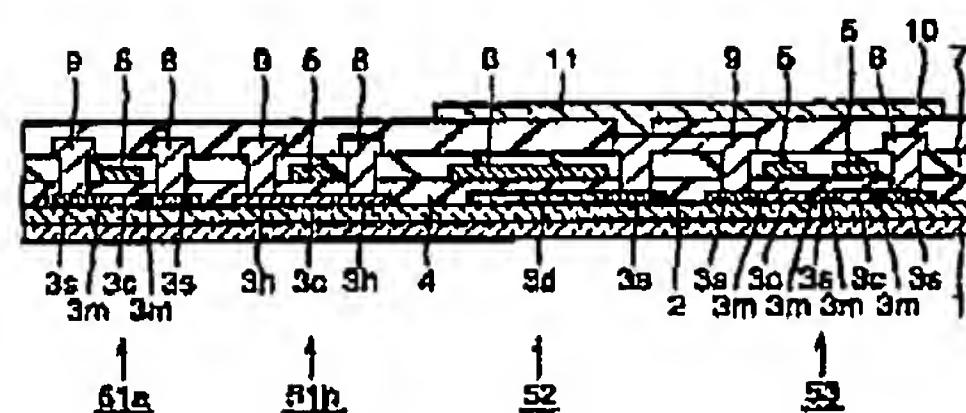
【図14】



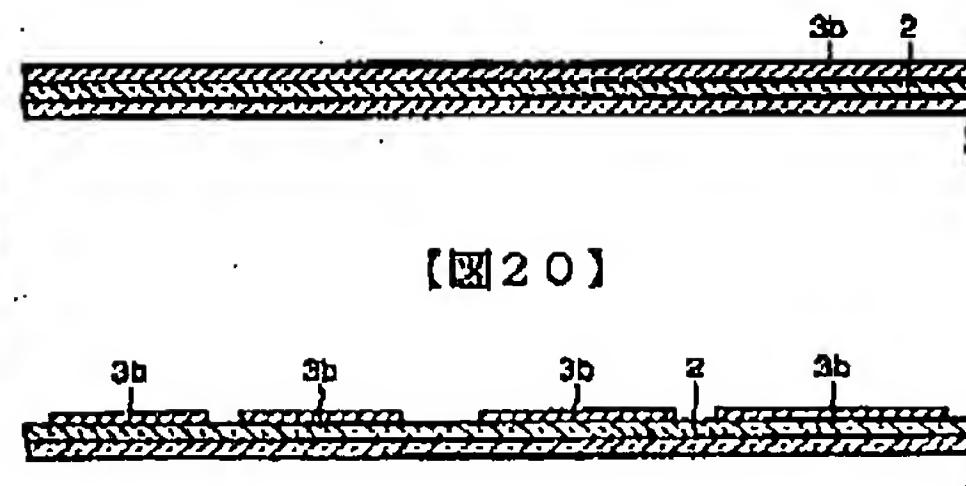
〔圖15〕



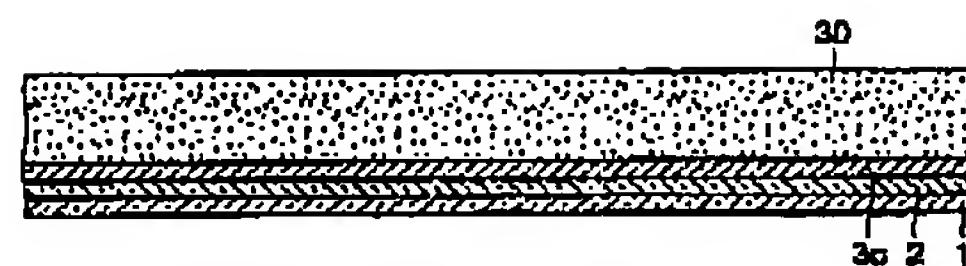
[图16]



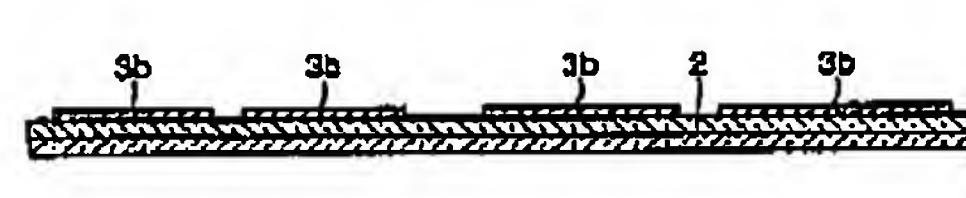
[১৮]



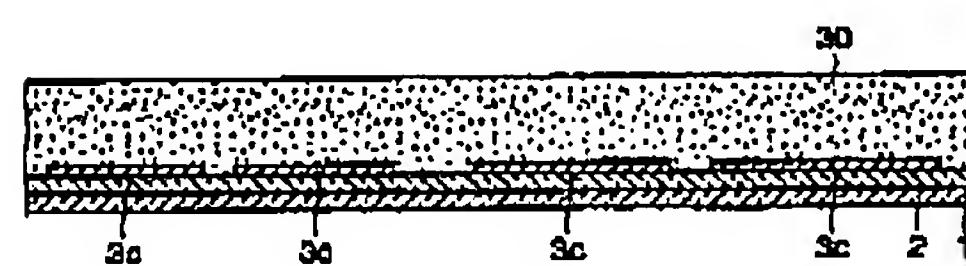
〔图19〕



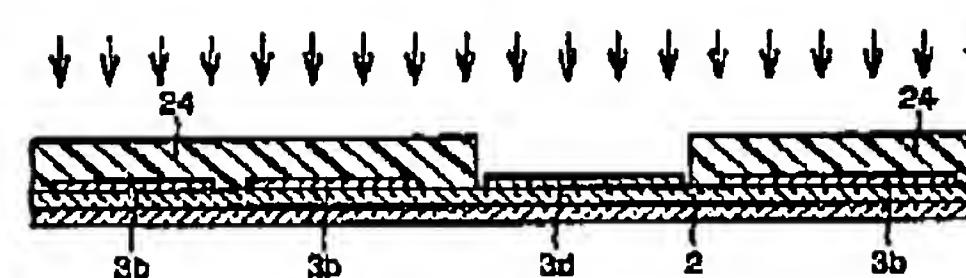
[图22]



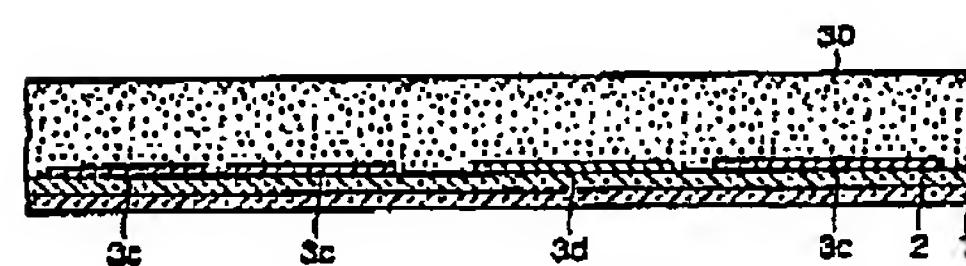
〔圖21〕



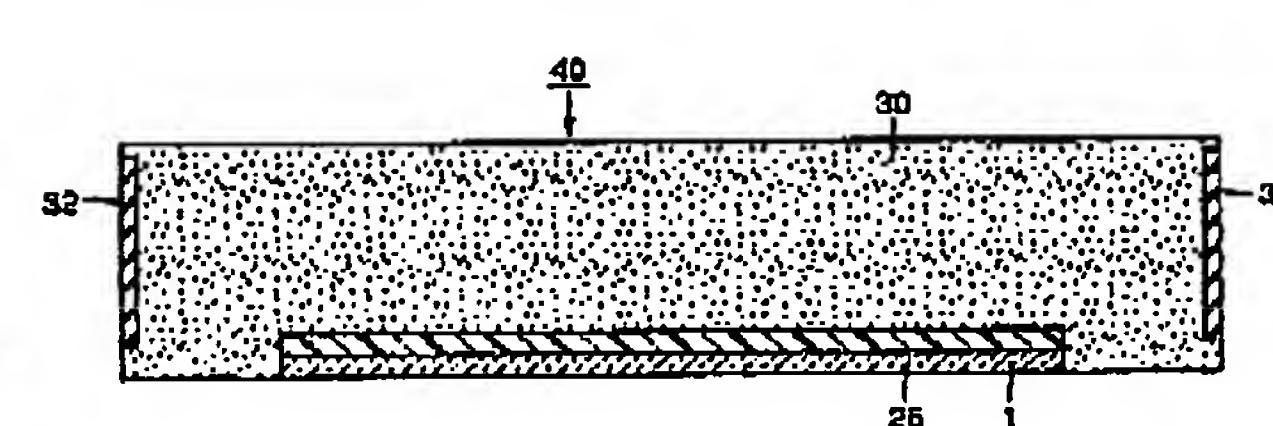
[२३]



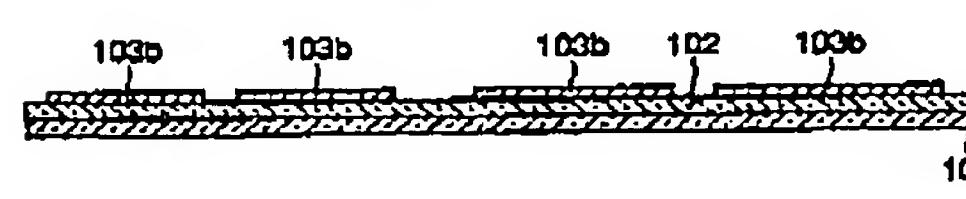
[图24]



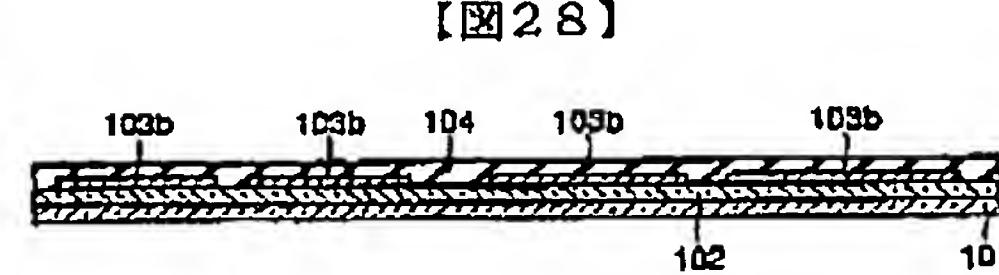
〔图25〕



[図27]



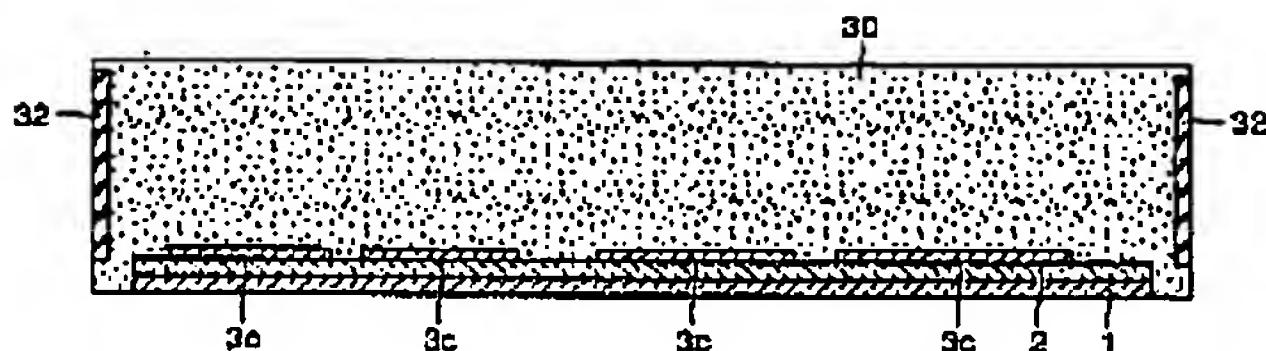
【図28】



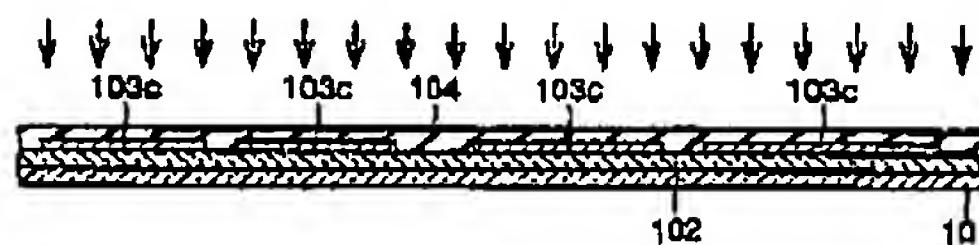
(11)

特許2001-345447

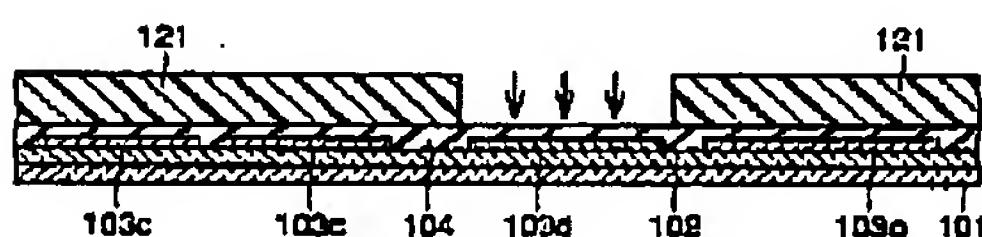
【図26】



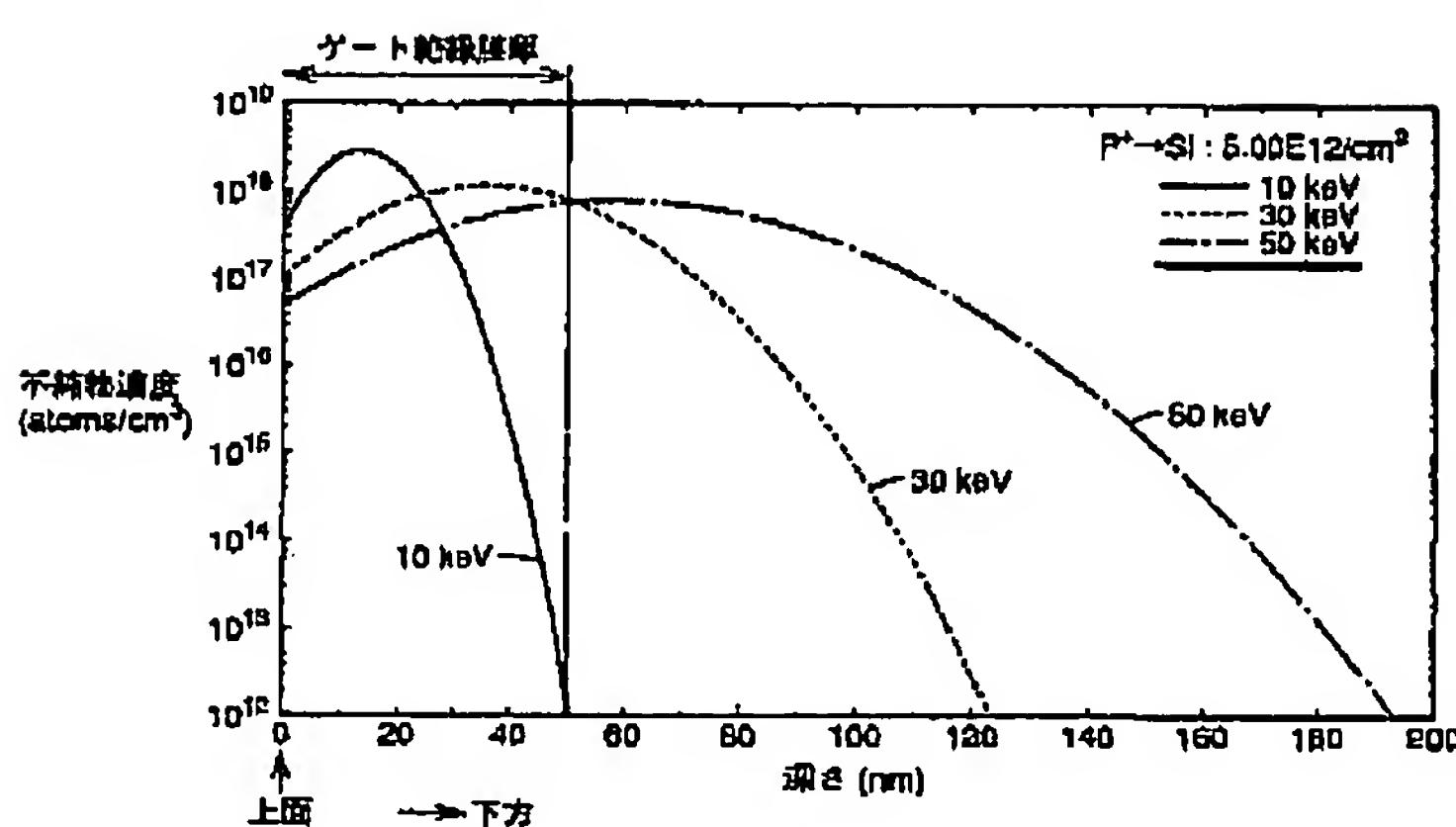
【図29】



【図30】



【図31】



フロントページの統合

(51) Int. Cl. 7

H 01 L 21/265
21/336

識別記号

F I
H 01 L 21/265
29/78マーク (参考)
F
617S

(72) 発明者 小林 正直

長野県諏訪市大和3丁目3番5号 セイコ
一エプソン株式会社内

(12)

特翻2001-345447

Fターム(参考) 2H092 JA25 JA34 JB61 KA04 KA10
KA12 MA08 MA15 MA27 MA30
MA35 NA24 NA27
5C094 AA25 AA42 AA43 AA44 AA55
BA03 BA43 CA19 DA13 DB01
DR01 EB02 FB01 FB02 FB14
GB10 JA08 JA20
5F052 AA02 BB07 DA02 DB02 HA06
HA07 JA01
5F110 AA08 AA12 AA30 BB02 CC02
DD02 DD13 DD14 DD17 GG02
GG13 GG32 GG37 GG52 HJ01
HJ12 HM15 NN02 NN72 PP03
QQ11 QQ19 QQ21